

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

17128366

Basic Patent (No,Kind,Date): JP 2001144297 A2 20010525 <No. of Patents: 001>

MANUFACTURING METHOD FOR THIN-FILM TRANSISTOR (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): JUMONJI SHIN; KONISHI YOSHIHIRO

IPC: *H01L-029/786; G02F-001/1368; H01L-021/28

CA Abstract No: 134(26)374872Y

Derwent WPI Acc No: C 02-063854

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
-----------	------	------	-----------	------	------

JP 2001144297	A2	20010525	JP 99324599	A	19991115 (BASIC)
----------------------	-----------	-----------------	--------------------	----------	-------------------------

Priority Data (No,Kind,Date):

JP 99324599 A 19991115

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 29/786		H01L 21/28	301 R 2H092
G02F 1/1368		29/78	617 L 4M104
H01L 21/28	301	G02F 1/136	500 5F004
21/3065		H01L 21/302	F 5F110
21/336		29/78	611
		審査請求 未請求 請求項の数 3 O L (全5頁)	

(21) 出願番号 特願平11-324599

(22) 出願日 平成11年11月15日 (1999.11.15)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 十文字 慎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 小西 芳広

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外1名)

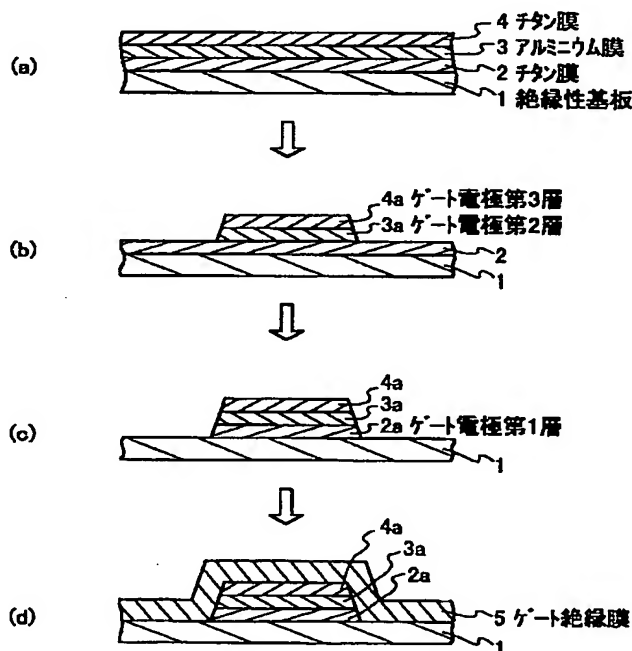
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【課題】 薄膜トランジスタを用いたアクティブマトリクス型液晶表示装置の製造において、チタン膜、アルミニウム膜、及びチタン膜からなる3層構造のゲート電極をドライエッチングにより形成する際の、アルミニウム膜のアンダーカットを防止して、良好なテーパー形状のゲート電極を得、その上に成膜されるゲート絶縁膜が破れることを防止して、薄膜トランジスタの歩留まりを向上する。

【解決手段】 ゲート電極材料層における上層のチタン膜4および中間層のアルミニウム膜3のドライエッチングをC₁、及びBC₁を用いて行う。下層のチタン膜2のドライエッチングは、上記のエッチャントに、アルミニウムのエッチングレートの高いCHF₃を加え、C₁、BC₁、及びCHF₃を用いて、所定の分圧比に調整して行う。



【特許請求の範囲】

【請求項 1】 2 枚の基板間に挟持された液晶を複数の画素電極を介して駆動して画像を表示する液晶表示パネルにおける、前記駆動のために一方の基板上に形成される薄膜トランジスタの製造方法であって、前記薄膜トランジスタのゲート電極を形成するための工程として、前記薄膜トランジスタのゲート電極を構成するための 3 層構造のゲート電極材料層を形成するゲート電極材料層成膜工程と、前記ゲート電極材料層上にマスクを形成し、ドライエッチングにより前記ゲート電極材料層のうちの第 1 層及び第 2 層を前記ゲート電極形状にパターンニングする第 1 パターンニング工程と、前記第 1 パターンニング工程において用いるエッチャントに前記第 2 層に対するエッチングレートの高いエッチャントを加えた混合ガスエッチャントにより、前記ゲート電極材料層のうちの第 3 層をドライエッチングする第 2 パターンニング工程とを備えたことを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 ゲート電極材料層の第 1 層をチタン、モリブデン、タンタルもしくはこれらの合金を用いて形成し、第 2 層を、アルミニウムもしくはアルミニウムと高融点材料との合金を用いて形成し、第 3 層を、前記第 1 層と同じ材料を用いて形成し、第 1 パターンニング工程のドライエッチングを Cl_1 、及び BCl_1 の混合ガスエッチャントを用いて行い、第 2 パターンニング工程のドライエッチングを Cl_1 、 BCl_1 、及び CHF_3 の混合ガスエッチャントを用いて行うことを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 3】 第 1 パターンニング工程のドライエッチングにおける Cl_1 と BCl_1 の分圧比を 1 Pa 対 2 Pa とし、第 2 パターンニング工程のドライエッチングにおける Cl_1 、 BCl_1 、及び CHF_3 の分圧比を 4 対 3 対 4 とする請求項 3 に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アクティブマトリクス型液晶表示装置における薄膜トランジスタの製造方法、特に、薄膜トランジスタアレイにおける、ゲート電極のエッチング方法の改善に関する。

【0002】

【従来の技術】 従来、薄膜トランジスタ液晶表示装置のゲート電極には、アルミニウム、クロムおよびタンタル等の金属導電膜が、ソース・ドレイン電極には、アルミニウム、チタンおよびモリブデン等の金属導電膜が用いられている。一方、液晶表示素子は、薄型軽量、低消費電力という大きな利点をもつため、日本語ワードプロセッサやデスクトップパーソナルコンピュータ等の OA 機器の表示装置に多用されており、それと共に、液晶表示素子の製造技術、品質の向上が強く望まれている。このような、液晶表示素子の製造技術や、品質の向上を目

的とした製造方法の一例として、特開平 6-13253 号公報に開示された技術がある。

【0003】 以下、従来の薄膜トランジスタ液晶表示装置の一例について、図面を参照して説明する。

【0004】 図 2 は、薄膜トランジスタ液晶表示装置の面内配線パターン図であり、22 はゲート電極、26 はソース電極を示す。図 3 は、従来の薄膜トランジスタの製造工程を示した断面構成図であり、図 2 の A-A' 部分の断面を示す。

【0005】 薄膜トランジスタの製造工程においては、まず、図 3 (a) に示すように、ガラス等の絶縁性基板 31 の上に、チタン膜 32、アルミニウム膜 33、及びチタン膜 34 を、順次スパッタリング法で成膜する。なお、チタン膜 32、34 に替えて、モリブデン、タンタル等の他の金属膜を用いる場合もある。また、アルミニウム膜 33 に替えて、アルミニウムと高融点材料との合金等の他の金属膜を用いる場合もある。

【0006】 次に (b) に示すように、フォトリソグラフィ法によりレジストをパターンニングし、ドライエッチング法により一括して、エッチング加工して、ゲート電極第 1 層 32a、ゲート電極第 2 層 33a、及びゲート電極第 3 層 34a からなるゲート電極 22 を形成する。最後に (c) に示すように、プラズマ CVD 法等によりゲート絶縁膜 35 を成膜し、ゲート電極をカバーリングする。続いて、図 2 に示すように、ゲート絶縁膜 35 上にソース電極 26 を同様の手法にて形成する。

【0007】

【発明が解決しようとする課題】 しかしながら、従来の技術を用いて薄膜トランジスタ液晶表示装置を作ると、ゲート電極を形成する際、チタン膜 32、アルミニウム膜 33 を 1 ステップでドライエッチングするので、等方性の強いエッチャントである Cl_1 が、中間層であるアルミニウム膜 33 をサイドからエッチングしてしまい、ゲート電極のテーパ形状を崩してしまうことがある。また、アルミニウムからなるゲート電極第 2 層 33a がサイドからエッチングされたところを、ゲート絶縁膜 35 でカバーリングするとゲート絶縁膜 35 が破れ、カバーリング不良となり、ゲート電極 22 とソース電極 26 のオーバーラップ部において、電極同士が接触し電極間ショート不良となる。

【0008】 ゲート電極 22 とソース電極 26 間のショートは、画像を表示した際、線欠陥として重大な不良となり、著しく歩留まりを低下させる。さらに、そのショート不良は、レーザー加工によりリペア処理可能であるが、そうすることにより、生産におけるリードタイムを長くし、生産性を著しく低下させるという課題がある。

【0009】 本発明はかかる点に鑑み、ゲート電極を形成する際のドライエッチングにおける、製造歩留まりを向上する薄膜トランジスタの製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】この目的を達成するために、本発明は、2枚の基板間に挟持された液晶を複数の画素電極を介して駆動して画像を表示する液晶表示パネルにおける、その駆動のために一方の基板上に形成される薄膜トランジスタの製造方法であって、以下の構成を有する。すなわち、薄膜トランジスタのゲート電極を形成するための工程として、薄膜トランジスタのゲート電極を構成するための3層構造のゲート電極材料層を形成するゲート電極材料層成膜工程と、ゲート電極材料層上にマスクを形成し、ドライエッチングによりゲート電極材料層のうちの第1層及び第2層をゲート電極形状にパターンニングする第1パターンニング工程と、第1パターンニング工程において用いたエッチャントに第2層に対するエッチングレートの高いエッチャントを加えた混合ガスエッチャントを用いて、ゲート電極材料層のうちの第3層をドライエッチングする第2パターンニング工程とを備えたことを特徴とする。

【0011】上記の構成によれば、ゲート電極を良好なテーパー形状に形成できるので、ゲート絶縁膜でカバーリングことは容易であり、ゲート絶縁膜の破れを防止できる。従って、ゲート電極とソース電極が接触してショートすることを防止することができ、製造歩留まりが向上する。

【0012】上記構成において、好ましくは、ゲート電極材料層の第1層をチタン、モリブデン、タンタルもしくはこれらの合金を用いて形成し、第2層を、アルミニウムもしくはアルミニウムと高融点材料との合金を用いて形成し、第3層を、第1層と同じ材料を用いて形成し、第1パターンニング工程のドライエッチングを Cl_2 及び BCl_3 を用いて行い、第2パターンニング工程のドライエッチングを Cl_2 、 BCl_3 、及び CHF_3 を用いて行う。

【0013】また、上記構成において好ましくは、第1パターンニング工程のドライエッチングにおける Cl_2 と BCl_3 の分圧比を1Pa対2Paとし、第2パターンニング工程のドライエッチングにおける Cl_2 、 BCl_3 、及び CHF_3 の分圧比を4対3対4とする。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら、説明する。図1の(a)～(d)は、本実施の形態における薄膜トランジスタの製造方法を示す工程図であり、図2に示した薄膜トランジスタにおけるA-A'線部分の断面を示す。

【0015】まず、図1(a)に示すように、絶縁性基板1上に、スパッタリング法等によりチタン膜2を成膜し、その上に、同様にアルミニウム膜3、そして再び、上記と同様のチタン膜4を成膜する。なお、チタン膜2、4に替えて、モリブデン、タンタル等の他の金属膜を用いることもできる。また、アルミニウム膜3に替

て、アルミニウムと高融点材料との合金等の他の金属膜を用いることもできる。次にフォトリソグラフィ等によりレジストをパターンニングする。

【0016】以上の工程を経た後、ゲート電極を形成するため、図1の(b)に示すように、ドライエッチングを行う。その際、等方性エッチャントの Cl_2 、異方性エッチャントの BCl_3 を、1Pa対2Paの分圧で、上層のチタン膜4とアルミニウム膜3をエッチングする。このドライエッチングにより、ゲート電極第3層4aとゲート電極第2層3aが形成される。

【0017】次に、図1の(c)に示すように、ドライエッチングのステップを切り替える。すなわち、アルミニウムのエッチングレートを抑えるために、エッチャントを変更して、アルミニウムのエッチングレートの低い、 CHF_3 を加え、 Cl_2 、 BCl_3 、 CHF_3 の分圧比を、4対3対4とした条件でドライエッチングをする。それにより、下層のチタン膜2をエッチングする際、アルミニウムからなるゲート電極第2層3aのアンダーカットを防ぐことができ、良好なテーパー形状のゲート電極を形成することが可能となる。このドライエッチングにより、ゲート電極第1層2aが形成される。

【0018】以上のように形成したゲート電極上にゲート絶縁膜5を成膜し、カバーリングする。ゲート電極が良好なテーパー形状を有するので、ゲート絶縁膜5でカバーリングことは容易であり、ゲート絶縁膜5の破れを防止できる。従って、ゲート電極とソース電極が接触してショートすることを防止することができ、製造歩留まり向上を図ることができる。

【0019】

【発明の効果】本発明によれば、3層構造のゲート電極材料層をドライエッチングしてゲート電極を形成する際、上2層のドライエッチングに用いるエッチャントと、最下層のドライエッチングに用いるエッチャントを異ならせることにより、最下層をエッチングする際の第2層のアンダーカットを防止することができる。それにより、良好なテーパー形状のゲート電極を形成することが可能となり、その上に成膜されるゲート絶縁膜が破れることによる、ゲート電極とソース電極のオーバーラップ部のショート不良を防止することができ、製造歩留まりが向上する。

【図面の簡単な説明】

【図1】本発明の実施の形態における薄膜トランジスタの製造方法の工程を示す断面図

【図2】薄膜トランジスタ液晶表示装置の面内配線パターン図

【図3】従来例の薄膜トランジスタの製造方法の工程を示す断面図

【符号の説明】

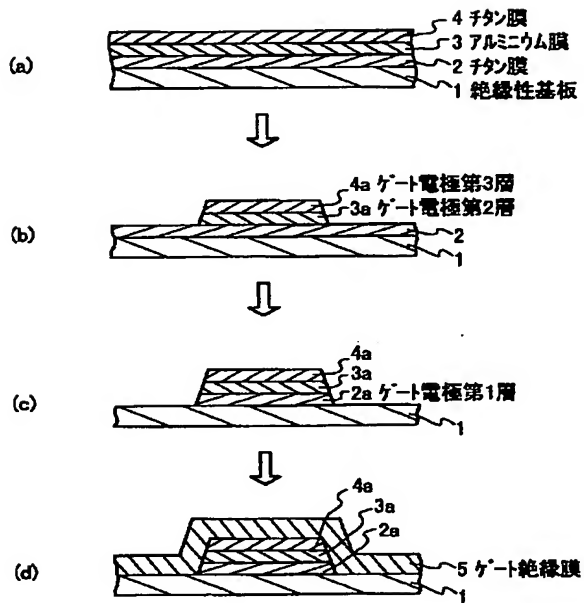
1、31 絶縁性基板

2、32 チタン膜

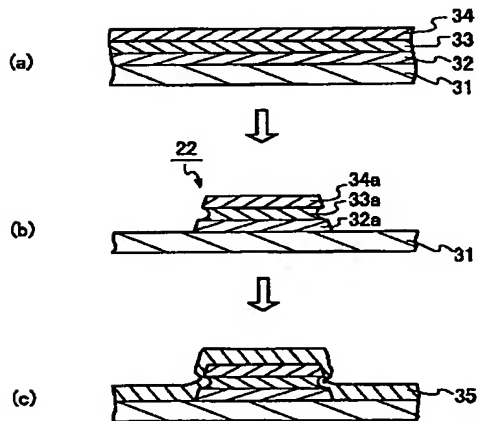
5

- 3、33 アルミニウム膜
 4、34 チタン膜
 2a、32a ゲート電極第1層
 3a、33a ゲート電極第2層

【図1】



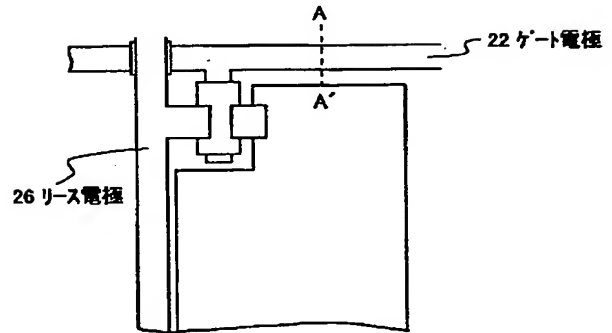
【図3】



6

- 4a、34a ゲート電極第3層
 22 ゲート電極
 26 ソース電極

【図2】



フロントページの続き

Fターム(参考) 2H092 JA26 JA38 JA39 JA40 JB23
JB24 JB27 KA16 KA18 MA14
MA15 MA16 MA19 NA16 NA25
NA27 NA29
4M104 AA09 BB02 BB14 BB16 BB17
BB36 CC05 DD08 DD37 DD66
DD67 EE05 FF08 FF13 GG09
5F004 CA01 DA04 DA11 DA16 DB08
DB09 DB12 EB02
5F110 AA26 BB01 DD02 EE03 EE04
EE06 EE15 EE23 QQ04

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-144297

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

H01L 29/786
G02F 1/1368
H01L 21/28
H01L 21/3065
H01L 21/336

(21)Application number : 11-324599

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 15.11.1999

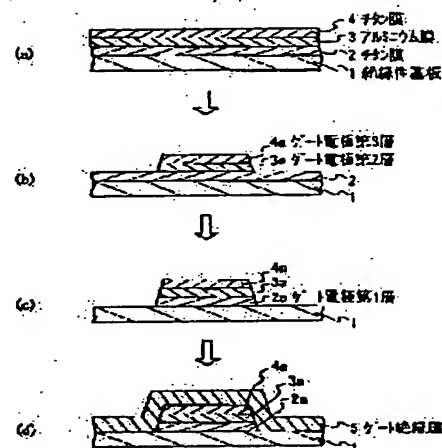
(72)Inventor : JUMONJI SHIN
KONISHI YOSHIHIRO

(54) MANUFACTURING METHOD FOR THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To improve yield for a thin-film transistor, related to manufacturing an active matrix type liquid-crystal display device comprising a thin-film transistor, by preventing the under-cut of an aluminum film, when a gate electrode of 3-layer structure comprising a titanium film, aluminum film, and titanium film is formed by dry-etching to provide a gate electrode of a well-tapered form, so that a gate insulating film formed over it is prevented from breakdown.

SOLUTION: An upper-layer titanium film 4 and an intermediate-layer aluminum film 3 of a gate electrode material layer are dry-etched, using Cl₂ and BCl₃. For the dry-etching with a lower-layer titanium film 2, the etchant is added with CHF₃ whose aluminum etching rate is low, and Cl₂, BCl₃ and CHF₃ are used for adjustment to a specified partial pressure ratio.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the thin film transistor formed on one substrate for said drive in the liquid crystal display panel which is characterized by providing the following and which drives the liquid crystal pinched between two substrates through two or more pixel electrodes, and displays an image The gate electrode material layer membrane formation process which forms the gate electrode material layer of the three-tiered structure for constituting the gate electrode of said thin film transistor as a process for forming the gate electrode of said thin film transistor The younger brother 1 pattern NINGU process which forms a mask on said gate electrode material layer, and carries out pattern NINGU of the 1st layer of said gate electrode material layers, and the 2nd layer by dry etching at said gate electrode configuration The younger brother 2 pattern NINGU process which carries out dry etching of the 3rd layer of said gate electrode material layers by the mixed-gas etchant which added the low etchant of the etching rate to said 2nd layer to the etchant used in said younger brother 1 pattern NINGU process

[Claim 2] A layer [1st] gate electrode material layer is formed using titanium, molybdenum, tantalums, or these alloys. The 2nd layer is formed using the alloy of aluminum or aluminum, and a refractory material. Form the 3rd layer using the same ingredient as said 1st layer, and dry etching of a younger brother 1 pattern NINGU process is performed using the mixed-gas etchant of Cl₂ and BCl₃. The manufacture approach of the thin film transistor according to claim 1 characterized by performing dry etching of a younger brother 2 pattern NINGU process using the mixed-gas etchant of Cl₂, BCl₃, and CHF₃.

[Claim 3] The manufacture approach of the thin film transistor according to claim 3 which makes the division ratio of Cl₂ and BCl₃ in the dry etching of a younger brother 1 pattern NINGU process 2Pa of 1Pa pairs, and sets the division ratio of Cl₂, BCl₃, and CHF₃ in the dry etching of a younger brother 2 pattern NINGU process to 4 to 3 to 4.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to an improvement of the etching approach of the manufacture approach of the thin film transistor in an active matrix liquid crystal indicating equipment, and the gate electrode especially in thin film transistor array.

[0002]

[Description of the Prior Art] Conventionally, metal electric conduction film, such as aluminum, chromium, and a tantalum, is used for the gate electrode of a thin film transistor liquid crystal display, and metal electric conduction film, such as aluminum, titanium, and molybdenum, is used for the source drain electrode. On the other hand, since a liquid crystal display component has a big advantage of a thin light weight and a low power, it is used abundantly at the display of OA equipment, such as a Japanese word processor and a desktop personal computer, and the manufacturing technology of a liquid crystal display component and improvement in quality are strongly desired with it. There are such a manufacturing technology of a liquid crystal display component and a technique indicated by JP,6-132533,A as an example of the manufacture approach aiming at improvement in quality.

[0003] Hereafter, an example of the conventional thin film transistor liquid crystal display is explained with reference to a drawing.

[0004] Drawing 2 is the circuit pattern Fig. within a field of a thin film transistor liquid crystal display, 22 shows a gate electrode and 26 shows a source electrode. Drawing 3 is the cross-section block diagram having shown the production process of the conventional thin film transistor, and shows the cross section of the A-A' part of drawing 2.

[0005] In the production process of a thin film transistor, first, as shown in drawing 3 (a), the titanium film 32, the aluminum film 33, and the titanium film 34 are formed by the sputtering method one by one on the insulating substrates 31, such as glass. In addition, it may change to the titanium film 32 and 34, and other metal membranes, such as molybdenum and a tantalum, may be used. Moreover, it may change to the aluminum film 33 and other metal membranes, such as an alloy of aluminum and a refractory material, may be used.

[0006] Next, as shown in (b), pattern NINGU of the resist is carried out by the photolithography method, it bundles up by the dry etching method, etching processing is carried out, and the gate electrode 22 which consists of gate electrode 1st layer 32a, gate electrode 2nd layer 33a, and gate electrode 3rd layer 34a is formed. Finally, as shown in (c), gate dielectric film 35 is formed by a plasma-CVD method etc., and covering of the gate electrode is carried out. Then, as shown in drawing 2, the source electrode 26 is formed by the same technique on gate dielectric film 35.

[0007]

[Problem(s) to be Solved by the Invention] However, since dry etching of the titanium film 32 and the aluminum film 33 will be carried out at one step in case a gate electrode is formed if a thin film transistor liquid crystal display is made using a Prior art, Cl2 which is isotropic, strong etchant may etch from a side the aluminum film 33 which is the middle class, and may break down the taper configuration of a gate electrode. Moreover, if covering of the place where 2nd layer 33 of gate electrode a which consists of aluminum was etched from the side is carried out with gate dielectric film 35, gate dielectric film 35 will be torn, it becomes poor [covering], and in the

overlap section of the gate electrode 22 and the source electrode 26, electrodes contact and it becomes inter-electrode short [poor].

[0008] When the short-circuit between the gate electrode 22 and the source electrode 26 displays an image, it serves as a serious defect as a line defect, and reduces the yield remarkably. Furthermore, by doing so by laser processing, although repair processing is possible, short [the / poor] lengthens lead time in production, and it has the technical problem that productivity is reduced remarkably.

[0009] This invention aims at offering the manufacture approach of the thin film transistor which improves the manufacture yield in the dry etching at the time of forming a gate electrode in view of this point.

[0010]

[Means for Solving the Problem] In order to attain this purpose, this invention is the manufacture approach of the thin film transistor formed on one substrate for that drive in the liquid crystal display panel which drives the liquid crystal pinched between two substrates through two or more pixel electrodes, and displays an image, and has the following configurations. namely, as a process for forming the gate electrode of a thin film transistor The gate electrode material layer membrane formation process which forms the gate electrode material layer of the three-tiered structure for constituting the gate electrode of a thin film transistor, The younger brother 1 pattern NINGU process which forms a mask on a gate electrode material layer, and carries out pattern NINGU of the 1st layer of the gate electrode material layers, and the 2nd layer by dry etching at a gate electrode configuration, It is characterized by having the younger brother 2 pattern NINGU process which carries out dry etching of the 3rd layer of the gate electrode material layers to the etchant used in the younger brother 1 pattern NINGU process using the mixed-gas etchant which added the low etchant of the etching rate to the 2nd layer.

[0011] since a gate electrode can be formed in a good taper configuration according to the above-mentioned configuration -- gate dielectric film -- covering -- things are easy and can prevent the tear of gate dielectric film. Therefore, a gate electrode and a source electrode can prevent contacting and short-circuiting, and the manufacture yield improves.

[0012] In the above-mentioned configuration preferably a layer [1st] gate electrode material layer Titanium, It forms using molybdenum, tantalums, or these alloys. The 2nd layer It forms using the alloy of aluminum or aluminum, and a refractory material. The 3rd layer is formed using the same ingredient as the 1st layer, dry etching of a younger brother 1 pattern NINGU process is performed using Cl_2 and BCl_3 , and dry etching of a younger brother 2 pattern NINGU process is performed using Cl_2 , BCl_3 , and CHF_3 .

[0013] Moreover, in the above-mentioned configuration, the division ratio of Cl_2 and BCl_3 in the dry etching of a younger brother 1 pattern NINGU process is made into 2Pa of 1Pa pairs, and the division ratio of Cl_2 , BCl_3 , and CHF_3 in the dry etching of a younger brother 2 pattern NINGU process is preferably set to 4 to 3 to 4.

[0014]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about the gestalt of operation of this invention. (a) - (d) of drawing 1 is process drawing showing the manufacture approach of the thin film transistor in the gestalt of this operation, and shows the cross section for an A-A' line part in the thin film transistor shown in drawing 2.

[0015] First, as shown in drawing 1 (a), on the insulating substrate 1, the titanium film 2 is formed by the sputtering method etc., and the aluminum film 3 and the again same titanium film 4 as the above are similarly formed on it. In addition, it can change to the titanium film 2 and 4, and other metal membranes, such as molybdenum and a tantalum, can also be used. Moreover, it can change to the aluminum film 3 and other metal membranes, such as an alloy of aluminum and a refractory material, can also be used. Next, pattern NINGU of the resist is carried out with photolithography etc.

[0016] After passing through the above process, in order to form a gate electrode, dry etching is performed as shown in (b) of drawing 1. The upper titanium film 4 and the upper aluminum film 3 are etched for Cl_2 of isotropic etchant, and BCl_3 of anisotropy etchant with the partial pressure

of 2Pa of 1Pa pairs in that case. Of this dry etching, 3rd layer 4of gate electrode a and 2nd layer 3of gate electrode a are formed.'

[0017] Next, as shown in (c) of drawing 1 , the step of dry etching is changed. That is, in order to stop the etching rate of aluminum, etchant is changed, CHF₃ with the low etching rate of aluminum is added, and dry etching is carried out on the conditions which set the division ratio of Cl₂, BCl₃, and CHF₃ to 4 to 3 to 4. Thereby, in case the lower layer titanium film 2 is etched, the undercut of 2nd layer 3of gate electrode a which consists of aluminum can be prevented, and it becomes possible to form the gate electrode of a good taper configuration. Of this dry etching, 1st layer 2of gate electrode a is formed.

[0018] Covering of the gate dielectric film 5 is formed and carried out on the gate electrode formed as mentioned above. since a gate electrode has a good taper configuration -- gate dielectric film 5 -- covering -- things are easy and can prevent the tear of gate dielectric film 5. Therefore, a gate electrode and a source electrode can prevent contacting and short-circuiting, and improvement in the manufacture yield can be aimed at.

[0019]

[Effect of the Invention] In case according to this invention dry etching of the gate electrode material layer of a three-tiered structure is carried out and a gate electrode is formed, the 2nd-layer undercut at the time of etching the lowest layer can be prevented by changing the etchant used for upper two-layer dry etching, and the etchant used for the dry etching of the lowest layer. This is enabled to form the gate electrode of a good taper configuration, short [of the overlap section of the gate electrode by the gate dielectric film formed on it being torn and a source electrode / poor] can be prevented, and the manufacture yield improves.

[Translation done.]

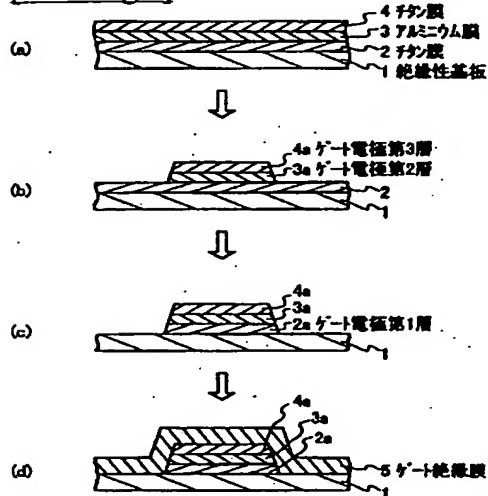
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

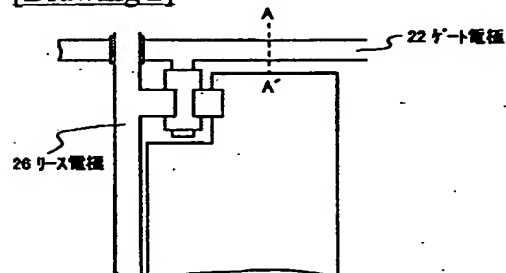
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

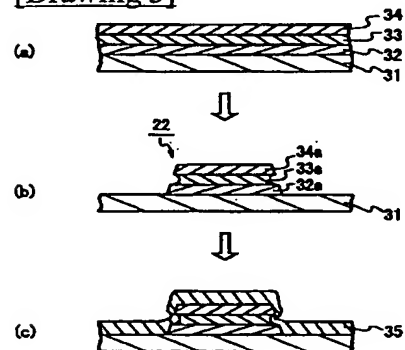
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]